

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-98675

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和60年(1985)6月1日

H 01 L 29/78
// H 01 L 29/60

8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑧ 発明の名称 半導体装置

⑥ 特 願 昭58-206364

⑦ 出 願 昭58(1983)11月2日

② 発 明 者 岩 松 誠 一 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
① 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号
③ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称

半導体装置

2 特許請求の範囲

Siゲート型 MOS FET の Siゲート電極にカー
n 接合が形成されて成ることを特徴とする半導体
装置。

3 発明の詳細な説明

本発明は Siゲート型 MOS FET の Siゲート電極
の構造に関する。

従来、Siゲート型 MOS FET の Siゲート電極は
p 型または n 型いずれかの Si 層が用いられているの
が通例であった。

しかし、上記従来技術では、一つのゲート電極
内でしきい値電圧の変化がつけられない等、MOS
FET による IC の設計上余裕が少ない等の欠点が
あった。

本発明は、かかる従来技術の欠点をなくし、一
つのゲート電極内でゲート電極材料タイプを変え
ることにより、しきい値電圧を可変として、MOS
FET による IC の設計上の余裕を大きくし、応用
面を広げることを目的とする。

上記目的を達成するための本発明の基本的な構
成は、半導体装置に於て、Siゲート型 MOS FET
の Siゲート電極にカー n 接合が形成されて成る
ことを特徴とする。

以下、実施例により本発明を詳述する。

第1図は、従来の Siゲート MOS FET の図面であ
り、Si基板1の表面にはソース拡散領域2、ドレ
イン拡散領域3、フィールド酸化膜4、ゲート酸
化膜5、Siゲート電極6が単一タイプ(C-MOS
の場合、各々異なるタイプの Siゲート電極を用い
た Nチャネル MOS FET と Pチャネル MOS FET を
作成)で形成されているのが通例である。

第2図は、本発明の一実施例を示す CCD MOS
FET の要部の断面図であり、Si基板11の表面に
はゲート酸化膜12が形成され、Si電極13、14

は $n-p$ 接合で形成されると、帯電材料の仕事面散逸より、 Si ゲート13、14に同一単位を与えても、基板にできる空乏層の単位15には勾配が生じて、キャリアを一方向に移動させることができたり、MOS FETの場合同一ゲート内でしきい値電圧を変化させたりすることができる。

第3図は、本発明の他の実施例を示すMOS FETの平面図であり、ソース拡散領域21、ドレイン拡散領域22に挟まれて形成されたゲート領域23、24は $p-n$ 接合がゲート巾方向に形成されて成る。この様にゲート巾方向に $p-n$ 接合をもつ Si ゲート電極を形成することにより、MOS FETのチャネル巾方向にMOS FETの電気的特性に対する今一つの制御因子を増加させることができる。

第4図は、本発明のその他の実施例を示す3次元MOS FETの断面図である。すなわち、 Si 基板31の表面には、第1のソース拡散領域32、第1のドレイン拡散領域33、フィールド酸化膜34第1のゲート酸化膜35が形成され、該第1のゲート酸化膜35上には、 p 型領域36、 n 型領域

37からなる Si ゲート電極が形成され、該 Si ゲート電極上には第2のゲート酸化膜38、その上に形成された Si 膜39に、第2のソース拡散領域40第2のドレイン拡散領域41からなる3次元MOS FETが構成されて成り、上、下それぞれのMOS FETは p 型 Si ゲートと n 型 Si ゲートの各々の仕事函数の下にしきい値が定められて成る。

本発明の如く、 Si ゲートMOS FETの Si ゲート電極に $p-n$ 接合を形成することにより、MOS FETの電気的特性の制御因子が増加し、応用面が広がる効果がある。

4. 図面の簡単な説明

第1図は従来技術による Si ゲートMOS FETの図面、第2図乃至第4図は本発明の実施例を示す要部の図面である。

- 1, 11, 31, 39 Si 基板
- 2, 21, 32, 40 ソース拡散領域
- 3, 22, 33, 41 ドレイン拡散領域
- 4, 34 フィールド酸化膜

5, 12, 35, 38 ゲート酸化膜

6 単極 Si ゲート電極

13と14, 23と24, 36と37 $p-n$ 接合
からなる Si ゲート電極。

以 上

発 明 人 株式会社 藤 田 精 工 舎

代 理 人 弁 理 士 最 上 務

